

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月12日

出 願 番 号  
Application Number:

特願2002-204102

[ST.10/C]:

[JP2002-204102]

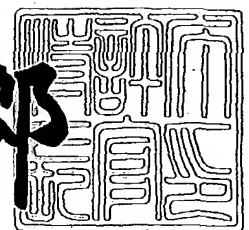
出 願 人  
Applicant(s):

パイオニア株式会社

2003年 1月14日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3105949

【書類名】 特許願

【整理番号】 56P0416

【提出日】 平成14年 7月12日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 51/00

【発明の名称】 有機薄膜スイッチングメモリ素子及びメモリ装置

【請求項の数】 5

【発明者】

【住所又は居所】 埼玉県鶴ヶ島市富士見6丁目1番1号 パイオニア株式会社 総合研究所内

【氏名】 田辺 貴久

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【代理人】

【識別番号】 100079119

【弁理士】

【氏名又は名称】 藤村 元彦

【手数料の表示】

【予納台帳番号】 016469

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9006557

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 有機薄膜スイッチングメモリ素子及びメモリ装置

【特許請求の範囲】

【請求項 1】 複数の第 1 電極線と、

前記複数の第 1 電極線上に形成され、電圧－電流ヒステリシス特性を呈する有機メモリ層と、

前記有機メモリ層上に積層された半導体ダイオード層と、

各電極線が前記複数の第 1 電極線と交差する方向に配されて前記半導体ダイオード層上に形成された複数の第 2 電極線と、を有することを特徴とする有機スイッチングメモリ素子。

【請求項 2】 前記半導体ダイオード層は p n 接合ダイオード層であることを特徴とする請求項 1 に記載の有機スイッチングメモリ素子。

【請求項 3】 前記半導体ダイオード層はショットキーダイオード層であることを特徴とする請求項 1 に記載の有機スイッチングメモリ素子。

【請求項 4】 請求項 1 に記載の有機スイッチングメモリ素子と、

前記複数の第 1 電極線及び前記複数の第 2 電極線の交差位置を表すアドレスを指定するアドレス指定信号、データ、及び書込指示信号を受信する受信部と、

前記書込指示信号に応答して、前記データを前記アドレス指定信号に基づいて前記有機スイッチングメモリ素子に書き込む制御部と、を有することを特徴とするメモリ装置。

【請求項 5】 前記受信部は読出指示信号を受信し、前記制御部は前記読出指示信号に応答して、前記アドレス指定信号に基づいて前記有機スイッチングメモリ素子からデータを読み出すことを特徴とする請求項 4 に記載のメモリ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機材料を用いた書き込み及び書き換え可能な有機スイッチングメモリ素子等及び当該メモリ素子を有するメモリ装置等に関する。

【0002】

## 【従来の技術】

近年、有機材料を用いた様々な機能素子、エレクトロニクス素子に関する研究開発が活発に進められている。従来の有機材料を用いたメモリ素子としては、例えば、特表2001-516964号公報に開示された有機ダイオードを利用したマスクROM (Read Only Memory) などがある。このメモリ素子においては、電氣的に書き込みを行うことができないため、その用途がマスクROMに限定されてしまい、電氣的に書き込み又は書き換え可能なメモリには適用することができない。

## 【0003】

また、他のメモリ素子としては、特開平8-116109号公報に開示されたものがある。このメモリ素子は、電圧の印加によって抵抗値が変化し、印加電圧を取り去った後でもその抵抗値を保持する材料を利用したメモリがある。このメモリ素子では、大容量化するにはスイッチング素子と組み合わせる必要があるが、有機材料の特性を生かした簡便な方法は提案されていない。

## 【0004】

## 【発明が解決しようとする課題】

従って、従来技術においては、電氣的に書き込み又は書き換え可能な高性能な、あるいは大容量の有機メモリ素子及びメモリ装置を実現することは困難であるという問題があった。本発明が解決しようとする課題には、上記した問題が1例として挙げられる。

## 【0005】

## 【課題を解決するための手段】

本発明による有機スイッチングメモリ素子は、複数の第1電極線と、複数の第1電極線上に形成され、電圧-電流ヒステリシス特性を呈する有機メモリ層と、有機メモリ層上に積層された半導体ダイオード層と、各電極線が複数の第1電極線と交差する方向に配されて半導体ダイオード層上に形成された複数の第2電極線と、を有することを特徴としている。

## 【0006】

また、本発明によるメモリ装置は、上記有機スイッチングメモリ素子と、複数

の第1電極線及び複数の第2電極線の交差位置を表すアドレスを指定するアドレス指定信号、データ、及び書込指示信号を受信する受信部と、書込指示信号にตอบสนองして、データをアドレス指定信号に基づいて有機スイッチングメモリ素子に書き込む制御部と、を有することを特徴としている。

【0007】

#### 【発明の実施の形態】

本発明の実施例について、図面を参照しつつ詳細に説明する。なお、以下の説明に用いられる図において、実質的に等価な構成要素には同一の参照符を付している。

#### 【第1の実施例】

図1は、本発明の第1の実施例であるメモリ素子10の一部の平面図である。また、図2は、図1に示すメモリ素子10のメモリセル部分を含む領域の断面図である。図1に示すように、このメモリ素子10は、基板11上に下部電極（以下、ビット線Biともいう。）12、メモリ層14、半導体層15、上部電極（以下、ワード線Wjともいう。）16がこの順で積層されている。

【0008】

より詳細には、基板11は、例えば無アルカリガラスからなる。この基板11上には金（Au）等の金属からなる複数の第1電極線、すなわちビット線Bi（ $i = 1, 2, \dots, m$ ）が互いに平行なストライプ状に配列されている。メモリ層14は、例えば、亜鉛フタロシアニン（ZnPc）、亜鉛フタロシアニンポルフィリン等の有機メモリ材料で形成されている。半導体層15は、例えばp型材料に銅フタロシアニン、n型材料にペリレン系誘導体を用いたpn接合有機半導体ダイオードである。p型有機半導体層はメモリ層14に、n型有機半導体層は後述する上部電極15に接続されている。

【0009】

半導体層15上にはアルミニウム（Al）等の金属からなる複数の第2電極線、すなわちストライプ状のワード線Wj（ $j = 1, 2, \dots, n$ ）の各々が互いに平行な、かつビット線Biと立体的に交差する方向に、例えばビット線Biに直交する方向に配列されている。上部電極（ワード線Wj）16及び半導体層15

(n型有機半導体層)間には良好なオーミック接触が形成されている。

#### 【0010】

下部電極(ビット線Bi)12、メモリ層14、半導体層15及び上部電極(ワード線Wj)16は真空蒸着法により形成した。

上記した構成によれば、ワード線Wj及びビット線Biが交差する領域にメモリセルC(j,i)が形成されている。すなわち、各メモリセルC(j,i)は、ワード線(Wj)16、半導体層(ダイオード接合)15、メモリ層14及びビット線(Bi)12が直列に接続された構造を有している。また、当該メモリセルC(j,i)はマトリクス状に配列されている。各メモリセルC(j,i)は、後に詳述するように、スイッチングメモリ複合素子として機能する。

#### 【0011】

図3は、図1に対応し、メモリ素子10の一部の電氣的等価回路を示す図である。この等価回路において、ダイオードDiは半導体層15のダイオード接合に対応し、抵抗Rはメモリ層14に対応する。すなわち、各メモリセルC(j,i)はダイオードDi及び抵抗Rの直列接続として表すことができる。

図4は、メモリ層14に用いられる有機メモリ材料(亜鉛フタロシアニン:ZnPc)の電流-電圧特性(I-V特性)の一例を示している。かかる有機メモリ材料は、ヒステリシスループ特性を呈する。すなわち、高抵抗相の状態(リセット状態)にあるときに、当該メモリ材料への印加電圧を増加させるにしたがい、電流値は当該高抵抗相領域における抵抗値に応じて増加する。印加電圧が $V_W$ に近づくとつれて電流値は急激に増大し始め、印加電圧が $+V_W$  ( $V_W > 0$ )において当該メモリ材料は低抵抗相に相転移する。また、この転移電圧 $V_W$ から印加電圧を減少させるにしたがい、電流値は当該低抵抗相領域における抵抗値に応じて減少する。さらに印加電圧を減少させ、印加電圧が $-V_E$  ( $V_E > 0$ )に達すると、電流値は急激に増大し、当該メモリ材料は高抵抗相に相転移する。なお、説明の簡便さのため、高抵抗相領域及び低抵抗相領域において、電流値が略線形に変化する場合を示しているが、曲線状に変化するようなI-Vヒステリシス特性を有するメモリ材料であってもよい。

#### 【0012】

上記したように、当該メモリ材料は $+V_W$  ( $V_W > 0$ ) 以上の印加電圧において低抵抗相に相転移し、 $-V_E$  ( $V_E > 0$ ) 以下の印加電圧において高抵抗相に相転移する。従って、この $I-V$ 特性を利用すれば、各メモリセルに印加する電圧を変化させることによって2値のデータの書き込みが可能である。また、図4に示すように、 $-V_E$ 及び $+V_W$ の中間の電圧 $V_R$ を当該素子に印加して、そのときの電流値の違い（すなわち、 $I_0$ 又は $I_1$ ）を検出することによって書き込んだデータを読み出すことができる。

#### 【0013】

図5は、メモリ素子10を用いたメモリ装置20の構成を示している。メモリ装置20は、上記したマトリクス状メモリアレイであるメモリ装置10、コントローラ21、アドレス選択回路23、書き込み／読み出し制御回路（以下、単に書き込み／読み出し回路という。）24を有している。アドレス選択回路23にはコントローラ21からアドレス指定信号が供給され、書き込み／読み出し回路24にはコントローラ21から書き込み制御信号又は読み出し制御信号が供給される。アドレス選択回路23にはアドレスレジスタ（図示しない）が含まれ、書き込み／読み出し回路24には書き込みレジスタ／読み出しレジスタ（図示しない）が含まれていてもよい。コントローラ21は、外部からのデータや制御信号あるいは内部で生成された制御信号・データに基づいて、メモリ素子10への書き込みを行い、メモリ素子10からの読み出しデータを出力する。また、コントローラ21は、各メモリセルに書き込まれたデータの消去動作、及び全リセット動作を行う。

#### 【0014】

さらに、メモリ装置20には、誤り訂正回路、リフレッシュ回路、バッファ回路などの高速化、高性能化のための回路、周辺回路が含まれていてもよい。また、コントローラ21は、図5に示すような個別の回路として設けられている必要はない。また、コントローラ21を有せずに、アドレス選択回路23及び書き込み／読み出し回路24は、例えば、マイクロプロセッサ（CPU）などの外部のプロセッサからデータバスなどを介して供給される指令に応じて動作し、メモリ素子10の書き込み／読み出し、消去動作がなされるように構成されていてもよ

い。

#### 【0015】

以下に、メモリ素子10の書き込み、読み出し、及び消去動作の原理について図面を参照しつつ詳細に説明する。尚、説明の簡便さのため、書き込み動作を行う際には、各メモリセルC(j,i)は全て"0"（論理値）にリセットされているものとする。なお、ここでは、高抵抗相及び低抵抗相をそれぞれ"0"及び"1"（論理値）に対応させている。

#### 【0016】

メモリ素子10にデータをワードごとに書き込む場合を例に説明する。すなわち、書き込みを行うワード線の電圧を $-V_L$  ( $V_L > 0$ ) に設定し、"1"を書き込むセルには電圧 $V_1$  ( $V_1 > 0$ ) を、"0"を書き込むセルには電圧 $V_0$  ( $V_0 > 0$ ) を印加する。この際、電圧 $V_1$ 及び $V_0$ は、 $V_1 - V_L > V_W$ 、 $V_0 - V_L < V_W$ となるように設定される。また、書き込みを行わないワード線には電圧 $V_1$ の印加によって相転移が起こらないよう十分高い電圧（本実施例においては、0V）が印加されている。あるいは、書き込みを行わないワード線は高インピーダンスに維持されていてもよい。

#### 【0017】

より具体的に説明すると、図6に示すように、時刻 $t_j$ において書き込みを行うj番目のワード線(Wj)に電圧 $-V_L$ が印加される。ワード線(Wj)には、 $\Delta t$ の期間にわたり電圧印加が行われる。このとき、ビット線Bi ( $i=1, 2, \dots, m$ )の各々には書き込みを行うビットデータの各ビットに対応して電圧 $V_1$ 又は $V_0$ が印加される。図7は、このワード線(Wj)に書き込まれるビットデータ(B1-Bm)及び各メモリセルの状態（以下、抵抗相という）を模式的に示している。例えば、当該ワード線(Wj)に書き込まれるビットデータを"1001011..."としたとき、B1, B4, B6, B7は"1"に、B2, B3, B5は"0"に対応するので、B1, B4, B6, B7には電圧 $V_1$ が、B2, B3, B5には電圧 $V_0$ が印加される。前述のように、電圧 $V_1$ が印加されたセルは高抵抗相( $P_H$ )から低抵抗相( $P_L$ )に相転移する。また、電圧 $V_0$ の印加によっては相転移は生じないので、電圧 $V_0$ が印加されたセルは高抵抗相( $P_H$ )を維持するのである。従



って、ワード線 $W_j$ 上の各メモリセル $C(j, i)$ , ( $i=1, 2, 3, \dots$ )は当該ビットデータに対応して“L H H L H L L  $\dots$ ”の抵抗相となる(ここで、 $P_H = "H"$ 、 $P_L = "L"$ として表している)。

## 【0018】

次に、図6に示すように、時刻 $t_j + \Delta t$ において、ワード線 $W_j$ の印加電圧は0Vにされ、次のワード線 $W_{j+1}$ に $\Delta t$ の期間にわたり電圧 $-V_L$ が印加される。ビット線 $B_i$  ( $i=1, 2, \dots, m$ )の各々にはワード線 $W_{j+1}$ 上のセルに書き込みを行うビットデータの各ビットに対応した電圧 $V_1$ 又は $V_0$ が印加される。これにより、上記したのと同様にワード線 $W_{j+1}$ 上のセル $C(j+1, i)$ , ( $i=1, 2, 3, \dots, m$ )は当該ビットデータに対応した抵抗相となる。ワード線 $W_{j+2}$ 以降についても同様な手順によりワードごとにデータが書き込まれる。

## 【0019】

次に、メモリ素子10からデータをワードごとに読み出す手順について説明する。すなわち、図8に示すように、全てのビット線( $B_1 - B_m$ )に読み出し電圧 $V_R$ を印加する。また、各ワード線には $V_R$ 以上の電圧 $V_H$ を印加しておく。あるいは、高インピーダンスとしておいてもよい。また、読み出し電圧 $V_R$ は、図4に示すように、印加によって相転移が生ないような電圧、すなわち、相転移電圧 $+V_W$ 及び0Vの中間の電圧( $0 < V_R < +V_W$ )とする。この状態において、読み出しを行うワード線( $W_j$ )の電圧を0Vとし、各メモリセル $C(j+1, i)$ , ( $i=1, 2, 3, \dots, m$ )を流れる電流の値を検出する。この電流値から各セルの抵抗相(すなわち、高抵抗相又は低抵抗相)を判別することによって書き込まれたビットデータを読み出すことができる。データの書き込みの場合と同様に、順次0Vとするワード線を走査することにより所望のデータを読み出すことができる。

## 【0020】

次に、メモリ素子10に書き込まれたデータを消去する手順について説明する。なお、全メモリセルの内容を消去(リセット)する場合を例に説明する。まず、図9に示すように、時刻 $t_0$ において全てのワード線( $W_1 - W_n$ )及び全てのビット線( $B_1 - B_m$ )に $-V_E$ 以下の電圧である消去電圧 $-V_{ER}$ を印加する。次

に、時刻  $t_1$  において全てのビット線 ( $B_1-B_m$ ) の電圧を 0 V にする。全ビット線の電圧を 0 V にした瞬間に各メモリセルの両端に  $V_E$  (絶対値) 以上の電圧が印加されるので、消去前の状態 (抵抗相) に関わらず各メモリセルは高抵抗相にリセットされる。なお、全メモリセルの内容を消去 (リセット) する場合を説明したが、ワード単位、セル単位で消去を行うようにしてもよい。

#### 【0021】

従って、上記したように、本発明によれば、簡単かつ安価で、電氣的に書き込み・読み出し可能なスイッチングメモリ素子及びこれを用いたメモリ装置を実現することができる。

#### 〔第2の実施例〕

図10は、本発明の第2の実施例であるメモリ素子10のメモリセル部分を含む領域の断面図である。半導体層15は銅フタロシアニンを材料としたp型有機半導体として形成されている。上部電極 (ワード線  $W_j$ ) 16に銅フタロシアニンよりも仕事関数の低い金属、例えばアルミニウム (Al) を用いることにより、半導体層15との界面にはショットキーダイオード接合が形成されている。メモリ素子10の他の部分の構成は第1の実施例と同様である。

#### 【0022】

上記した第1の実施例の場合と同様に、当該ショットキーダイオードは良好なスイッチング特性を示し、セル  $C(j+1, i)$  の各々はスイッチングメモリセルとして動作する。

#### 〔第3の実施例〕

図11は、本発明の第3の実施例であるメモリ素子10のメモリセル部分を含む領域の断面図である。本実施例においては、第1の実施例における有機メモリ層とを入れ替えた構成としている。すなわち、基板11上に、ビット線12、半導体層15、有機メモリ層14、ワード線16がこの順で形成されている。なお、この場合、半導体層15は、例えばpn接合ダイオードであり、p型半導体層が下部電極 (ビット線) 12に接触するように構成されている。その他の点については第1の実施例と同様である。

#### 【0023】

また、上記した第1ないし第3の実施例について、さらなる種々の改変が可能である。例えば、ワード線及びビット線を入れ替えた構成としてもよい。すなわち、基板11上の下部電極をワード線とし、上部電極をビット線としてもよい。また、ダイオードの極性は上記した実施例と逆にしてもよい。この場合、印加電圧の極性もダイオードの極性に応じて適宜選択すればよい。

## 【0024】

また、半導体層15としては有機半導体に限定されるものではない。無機半導体を用いることも可能である。例えば、Si等の共有結合半導体やGaAsなどの化合物半導体を用いることも可能である。

また、例えば、基板11は無アルカリガラスに限られない。例えば、プラスチック、有機材料等を用いることができる。特に、有機材料は、低温のプロセスで形成が可能であるため、種々の基板上に形成でき、また、種々の材料の組合せにより上記した構成を実現することができる。

## 【0025】

第1及び第2電極線には、金属のみならず、有機材料又はITO膜（インジウム錫酸化膜）等からなる透明電極を用いることも可能である。

また、メモリ層14には上記したフタロシアニン系材料の他に種々のものを用いることができ、また用いる材料に応じて種々の方法によって形成することができる。メモリ層14の他の材料としては、ポリチオフェン、ポリピロールなどのヘテロアロマティック高分子、ポリフェニレン系高分子、ポリアニリン系高分子、ポリアセチレン系高分子などの高分子材料を用いることができる。また、高分子系の材料に限らず、ペンタセン、テトラセン、アントラセンなどの低分子系の材料を用いることもできる。また、ダイオード層15も、メモリ層14と同様な材料によって形成することができる。

## 【0026】

さらに、有機メモリ層14及び有機半導体層15を真空蒸着法により形成する場合を例に説明したが、これに限らない。この他に、種々の有機材料の成膜方法を用いることができる。例えば、ラングミュア・ブロッジェット（LB）法、分子セルフアセンブリ法、分子線エピタキシ（MBE）法、キャスティング法、スピ

ンコート法、溶融法、電界重合法、プラズマ重合法などを用いることができる。

【0027】

また、半導体層15のn型（ドナー）ドーパントとしては、ナトリウム（Na）、カリウム（K）などのアルカリ金属や、アルキルアンモニウムなどを用いることができる。また、半導体層15をp型有機半導体で構成する場合には、p型（アクセプタ）ドーパントとして、ハロゲン類、ルイス酸、プロトン酸、遷移金属塩化物など種々のものを用いることができる。

【0028】

さらに、ドーパントとして、上記したものの他に、いわゆるポリマードーパントを用いることができる。例えば、ポリスチレンスルホン酸やポリビニルスルホン酸等の高分子電解質を用いることができる。

上記有機材料へのドーピング方法としては、気相及び液相ドーピングや電気化学的ドーピングなど様々な手法がある。あるいは、イオン化したドーパントを電界によって加速して有機材料に打ち込むイオン注入法や、光や放射線を用いてドーピングを行う誘起ドーピング法を用いることもできる。

【図面の簡単な説明】

【図1】

本発明の第1の実施例であるメモリ素子の一部の平面図である。

【図2】

図1に示すメモリ素子のメモリセル部分を含む領域の断面図である。

【図3】

図1に対応し、メモリ素子の一部の電氣的等価回路を示す図である。

【図4】

メモリ層に用いられる有機メモリ材料の電流－電圧特性（I－V特性）の一例を示す図である。

【図5】

メモリ素子を用いたメモリ装置の構成を示す図である。

【図6】

メモリ素子にデータをワードごとに書き込む場合の手順を説明するためのタイ

ムチャートである。

【図 7】

時刻  $t_j$  においてワード線  $W_j$  に電圧  $-V_L$  が印加されたときの、当該ワード線  $W_j$  に書き込まれるビットデータ (B1-Bm) 及び各メモリセルの状態を模式的に示す図である。

【図 8】

メモリ素子からデータをワードごとに読み出す場合の手順を説明するためのタイムチャートである。

【図 9】

全メモリセルの内容を消去 (リセット) する場合の手順を説明するためのタイムチャートである。

【図 10】

本発明の第 2 の実施例であるメモリ素子のメモリセル部分を含む領域の断面図である。

【図 11】

本発明の第 3 の実施例であるメモリ素子のメモリセル部分を含む領域の断面図である。

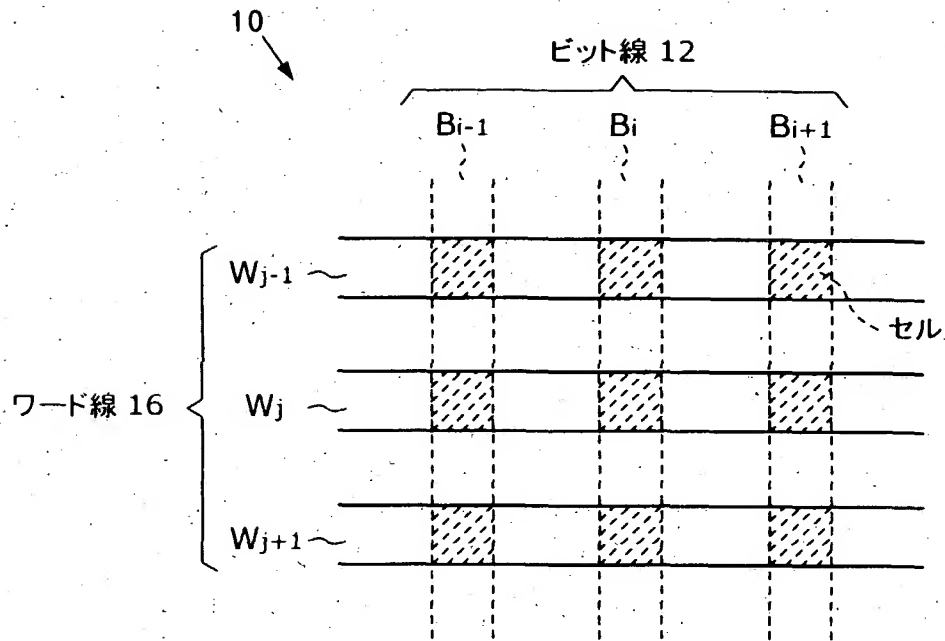
【主要部分の符号の説明】

- 1 0   メモリ素子
- 1 1   基板
- 1 2   下部電極 (ビット線)
- 1 4   メモリ層
- 1 5   半導体層
- 1 6   上部電極 (ワード線)
- 2 0   メモリ装置
- 2 1   コントローラ
- 2 3   アドレス選択回路
- 2 4   書き込み／読み出し制御回路

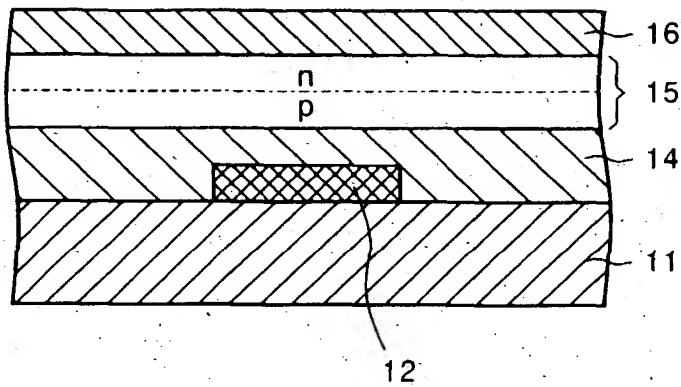
【書類名】

図面

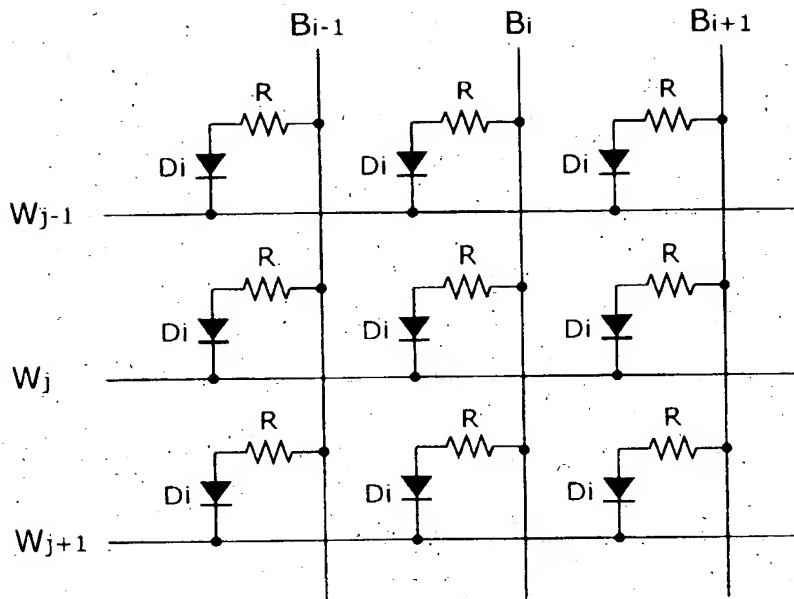
【図1】



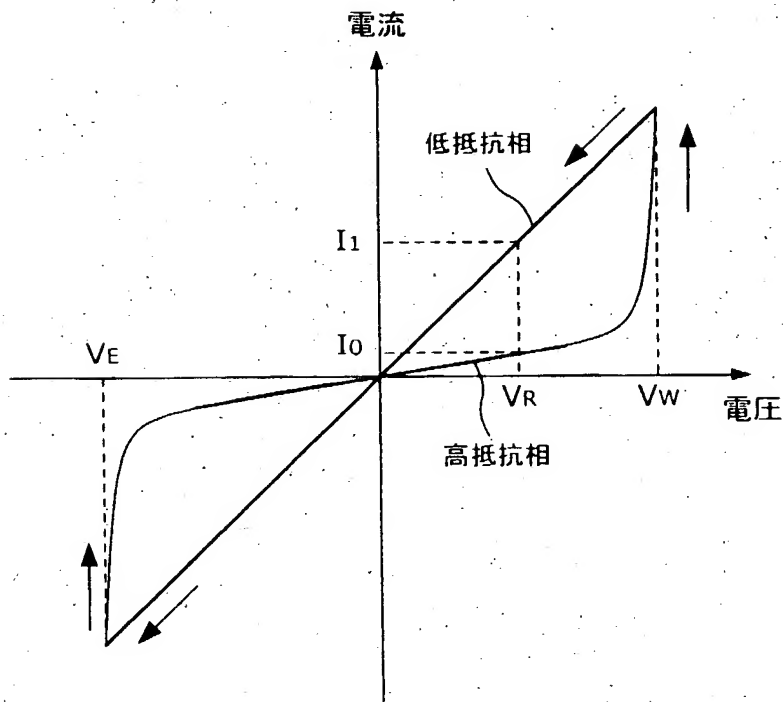
【図2】



【图 3】

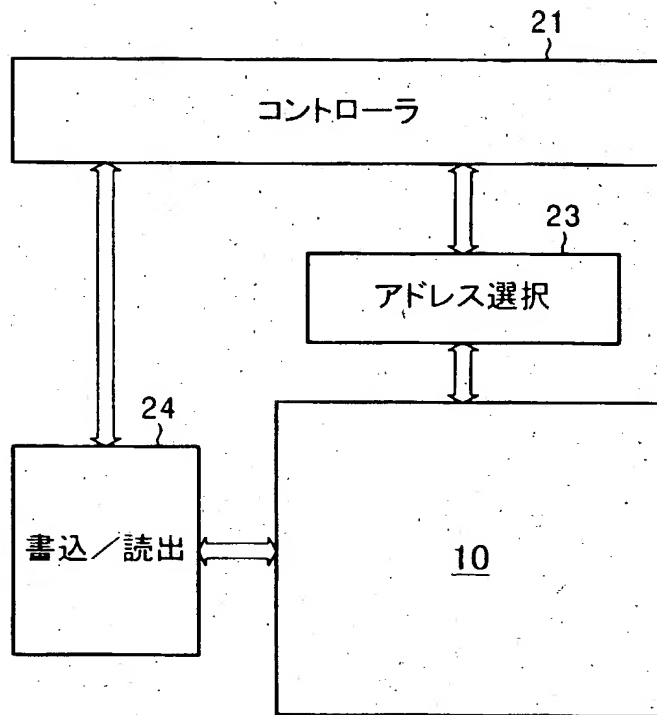


【图 4】



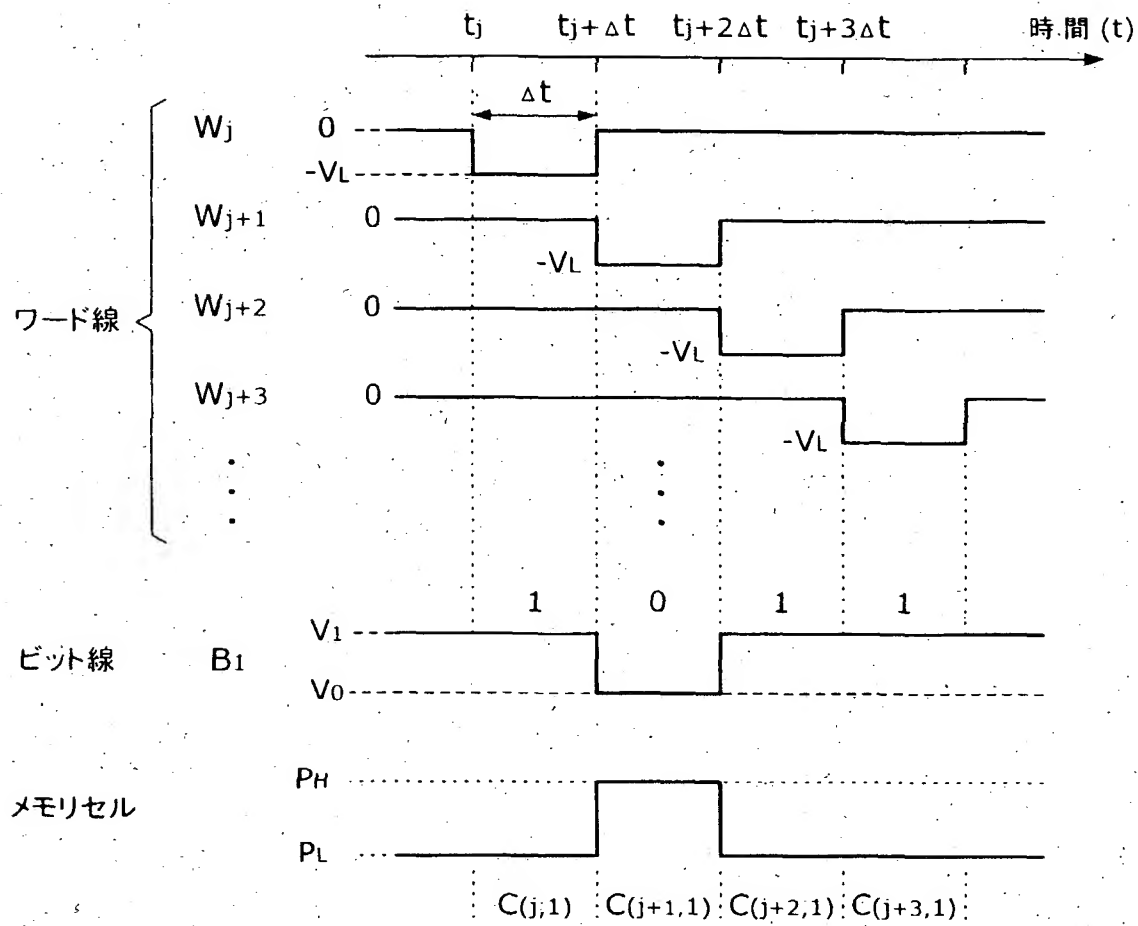
【図5】

20

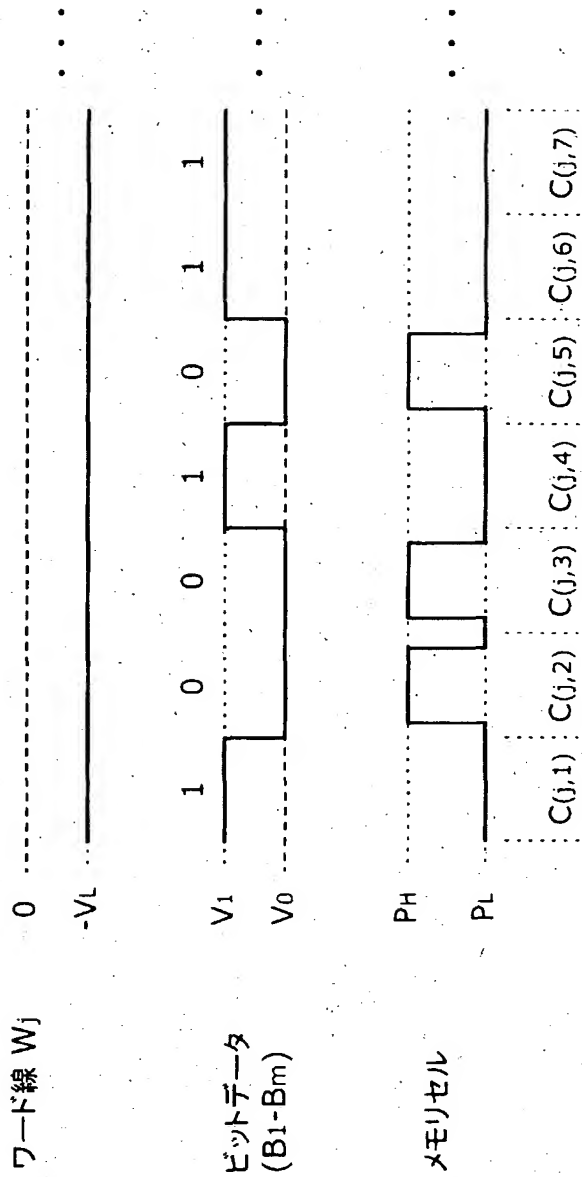




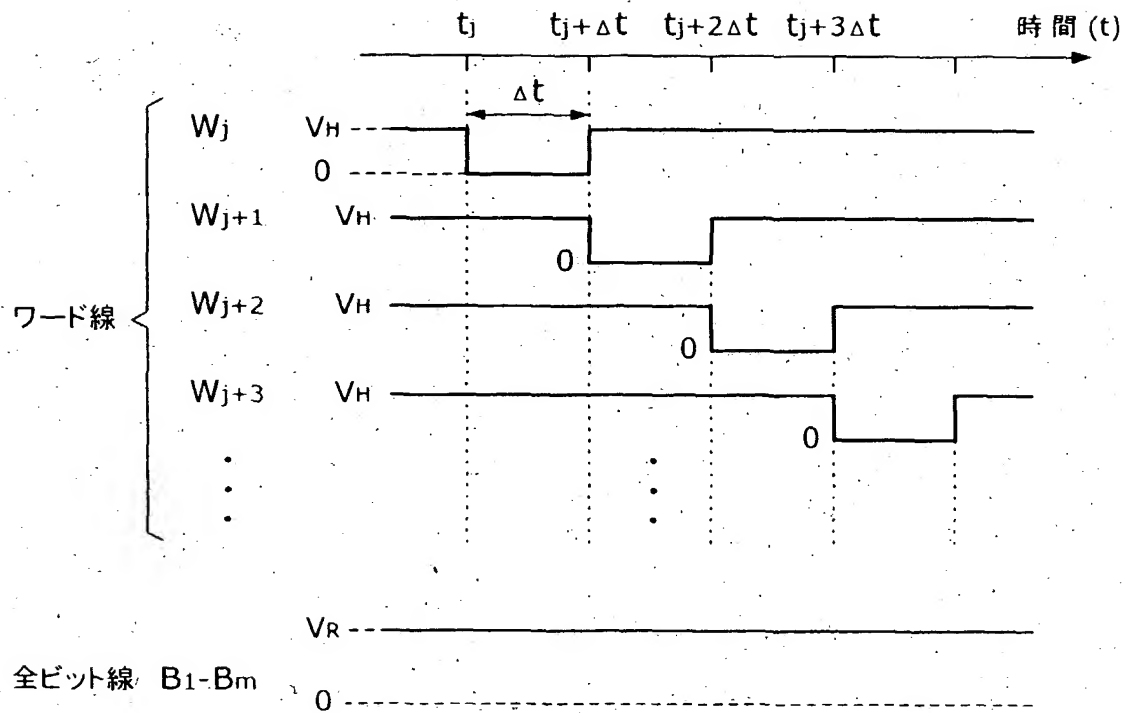
【図6】



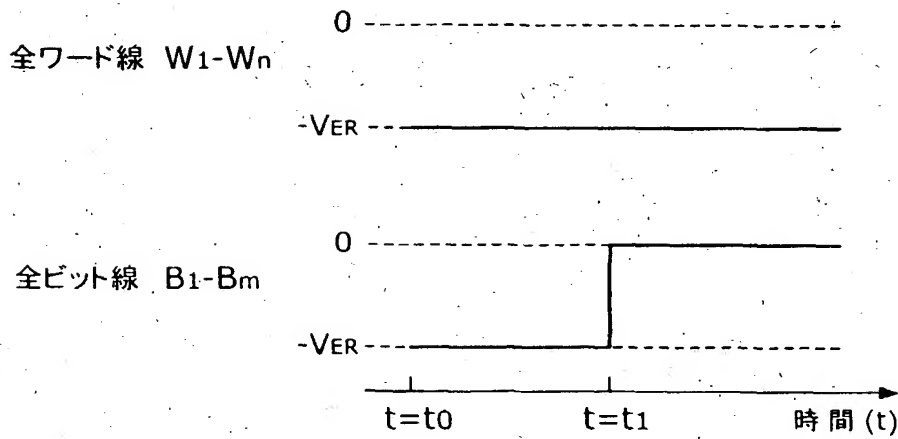
【図 7】



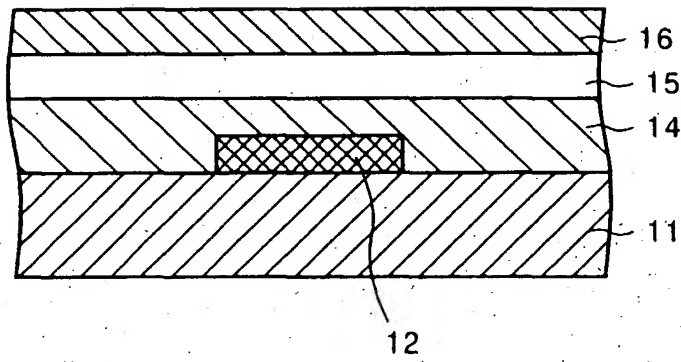
【図 8】



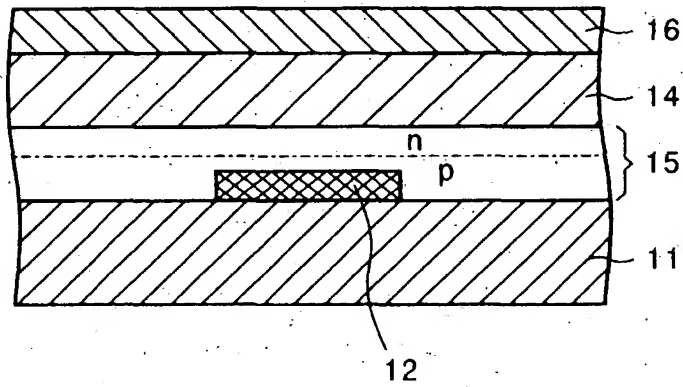
【図 9】



【図 1 0】



【図 1 1】



【書類名】 要約書

【要約】

【目的】 電氣的に書き込み又は書き換え可能なスイッチングメモリ素子及びメモリ装置を提供する。

【解決手段】 複数の第1電極線と、複数の第1電極線上に形成され、電圧-電流ヒステリシス特性を呈する有機メモリ層と、有機メモリ層上に積層された半導体ダイオード層と、各電極線が複数の第1電極線と交差する方向に配されて半導体ダイオード層上に形成された複数の第2電極線と、を有する。

【選択図】 図2

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社